

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-123325

(43) Date of publication of application : 26.04.2002

(51)Int.Cl.

G05F 3/24  
G05F 3/30  
H01L 27/04  
H01L 21/822

(21)Application number : 2000-313653

(71)Applicant : DENSO CORP

(22) Date of filing : 13.10.2000

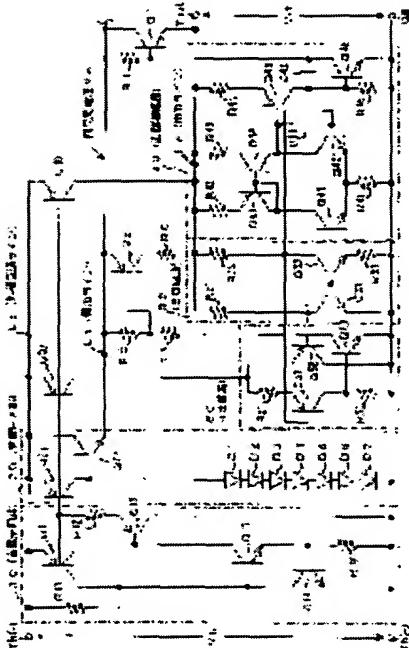
(72)Inventor : KOYASU TAKAHISA

**(54) REFERENCE VOLTAGE GENERATING DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a reference voltage generating device which can speedily raise a reference voltage and sufficiently reduce a dark current flowing when a source voltage is stable.

**SOLUTION:** This device is provided with a 1st electrifying means which supplies electric power via a resistor  $R_0$  when a switching element  $Q_2$  is on and a 2nd electrifying means which supplies electric power through an NPN transistor  $Q_1$  controlled by a differential amplifier 40 as electrifying means for electrification from a power line  $L_c$  to a band-gap(BG) circuit 30. Then a comparator 50 turns on the switching element  $Q_2$  until a source voltage (simple constant voltage  $V_c$ ) reaches a voltage capable of controlling the NPN transistor  $Q_1$  through the differential amplifier 40 and turns off the switching element  $Q_2$  when the voltage reaches a voltage capable of controlling the NPN transistor  $Q_1$ . Consequently, the reference voltage can speedily be raised when the source voltage is low and the dark current which flows when the source voltage is stable can be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-123325

(P2002-123325A)

(43)公開日 平成14年4月26日 (2002.4.26)

(51)Int.Cl.

G 05 F 3/24  
3/30  
H 01 L 27/04  
21/822

識別記号

F I

G 05 F 3/24  
3/30  
H 01 L 27/04

テマコード(参考)

B 5 F 0 3 8  
5 H 4 2 0  
B

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21)出願番号

特願2000-313653(P2000-313653)

(22)出願日

平成12年10月13日 (2000.10.13)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 子安 貴久

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74)代理人 100082500

弁理士 足立 勉

F ターム(参考) 5F038 AV05 BB04 BB08 CD02 CD16

DF06 EZ20

5H420 NA17 NA23 NA31 NA32 NB02

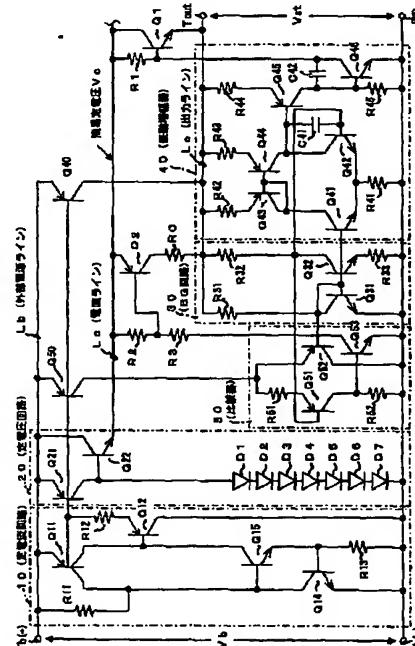
NB24 NC03 NE15

(54)【発明の名称】 基準電圧発生装置

(57)【要約】

【課題】 基準電圧を速やかに立ち上げることができ、しかも、電源電圧安定時に流れる暗電流を充分低減できる基準電圧発生装置を提供する。

【解決手段】 電源ライン  $L_c$  からバンドギャップ (B G) 回路 3 0への給電手段として、スイッチング素子 Q 2 のオン時に抵抗 R 0を介して電源供給を行う第1給電手段と、差動増幅器 4 0により制御されるN P Nトランジスタ Q 1を介して電源供給を行う第2給電手段とを設ける。そして、電源電圧 (簡易定電圧  $V_c$ ) が差動増幅器 4 0によりN P Nトランジスタ Q 1を制御可能な電圧に達するまでは、比較器 5 0によりスイッチング素子 Q 2をオンし、N P Nトランジスタ Q 1を制御可能な電圧に達すると、比較器 5 0によりスイッチング素子 Q 2をオフさせる。この結果、低電源電圧時に基準電圧を速やかに立ち上げることができ、しかも、電源電圧安定時に流れる暗電流を抑制できる。



## 【特許請求の範囲】

【請求項1】 外部から電源供給を受けての基準電圧を発生する基準電圧源と、直流電源から電源供給を受ける電源ラインと前記基準電圧源との間に設けられた抵抗とスイッチング素子との直列回路からなり、該スイッチング素子のオン時に該抵抗を介して前記基準電圧源に電源供給を行う第1給電手段と、

前記電源ラインと前記基準電圧源との間に設けられたトランジスタと、前記基準電圧源からの出力が一定の基準電圧となるように前記トランジスタに流れる電流を制御する制御手段とからなり、前記トランジスタを介して前記基準電圧源に電源供給を行う第2給電手段と、

前記電源ラインの電源電圧が前記第2給電手段の動作可能電圧に達しているか否かを判定し、前記電源電圧が前記動作可能電圧に達していない場合は、前記第1給電手段のスイッチング素子をオンして、前記基準電圧源への電源供給を前記第1給電手段により実行させ、前記電源電圧が前記動作可能電圧に達していれば、前記第1給電手段のスイッチング素子をオフして、前記基準電圧源への電源供給を前記第2給電手段により実行させる給電経路切換手段と、

を備えたことを特徴とする基準電圧発生装置。

【請求項2】 前記直流電源から前記電源ラインに至る給電経路に設けられ、前記電源ラインに供給される電源電圧を前記基準電圧よりも高い設定電圧以下に制限する電圧制限手段を備えたことを特徴とする請求項1に記載の基準電圧発生装置。

【請求項3】 前記第2給電手段は、前記直流電源から前記電圧制限手段を介して電源供給を受ける前記電源ラインから前記基準電圧源に電源供給を行い、前記第1給電手段は、前記直流電源から前記電圧制限手段に至る外部電源ラインから前記基準電圧源に電源供給を行うことを特徴とする請求項2記載の基準電圧発生装置。

【請求項4】 前記基準電圧源は、バンドギャップ回路からなることを特徴とする請求項1～請求項3の何れかに記載の基準電圧発生装置。

【請求項5】 前記給電経路切換手段は、前記第2給電手段の動作状態を監視し、前記第2給電手段が正常動作しているときに、前記電源電圧が前記動作可能電圧に達している旨を判定することを特徴とする請求項1～請求項4の何れかに記載の基準電圧発生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、直流電源から電源供給を受けて動作し、各種電子回路を動作させるのに必要な基準電圧を発生する基準電圧発生装置に関する。

## 【0002】

【従来の技術】 従来より、例えば、マイクロコンピュー

タからなる電子制御装置に組み込まれるA/D変換器や判定回路等、各種電子回路を高精度に動作させるのに必要な基準電圧を発生する装置として、ツェナーダイオードやバンドギャップ回路等からなる基準電圧源を備え、この基準電圧源に電源供給を行うことで、基準電圧源から基準電圧を発生させるように構成された基準電圧発生装置が知られている。

【0003】 そして、特に、基準電圧源としてバンドギャップ回路を備えた基準電圧発生装置では、バンドギャップ回路に温度依存性がなく、常時安定した基準電圧を発生することができることから、使用環境が大きく変化する自動車用の電子制御装置や携帯用の電子装置において広く採用されている。

【0004】 図6は、基準電圧源としてバンドギャップ回路を備えた基準電圧発生装置の一例を表す。尚、図6は、自動車においてエンジンや自動変速機等を制御するのに使用される電子制御装置において、A/D変換等を高精度に行うのに必要な基準電圧を生成する基準電圧発生装置を表す。

【0005】 図6に示すように、従来の基準電圧発生装置は、定電流回路10と、定電流回路10にて生成された定電流により動作し、正負の電源端子Tb(+)、Tb(-)を介してバッテリから供給されたバッテリ電圧Vbを設定電圧以下にクランプすることで、駆動用の定電圧(以下、簡易定電圧という)Vcを生成する定電圧回路20と、定電圧回路20から簡易定電圧Vcが供給される電源ラインLcから抵抗R0を介して電源供給を受けることにより動作するバンドギャップ回路(以下、BG回路ともいう)30と、BG回路30を構成する一対のトランジスタ(NPNトランジスタQ31、Q32)のベース及びコレクタが同電位となるように抵抗R0を介してBG回路30に印加される電圧を制御する差動増幅器40とを備え、差動増幅器40により制御されたBG回路30への印加電圧を基準電圧Vstとして、出力端子Toutから外部回路に出力するように構成されている。

【0006】 ここで、定電流回路10及び定電圧回路20は、バッテリ電圧Vbの変動に伴い基準電圧Vstが変動するのを防止するためのものである。つまり、自動車においては、直流電源であるバッテリに、スタータモータ、ホーン、ライトといった多数の電気負荷が接続されていることから、これらの電気負荷がオン・オフされることによって、電源電圧(バッテリ電圧)が数ボルト以上急激に変動することがある。そして、このように変動するバッテリ電圧VbをそのままBG回路30の電源とすると、バッテリ電圧Vbの変動時に基準電圧Vstも大きく変動してしまうことになる。

【0007】 このため、図6に示した基準電圧発生装置においては、電圧依存性のない定電流回路10にて定電流を生成し、この生成された定電流にて定電圧回路20を駆動することにより、バッテリ電圧Vbの変動に影響

されない内部回路駆動用の定電圧を生成するようにしているのである。

【0008】そこで、まず、この定電流回路10及び定電圧回路20について説明する。定電流回路10においては、電源電圧（バッテリ電圧Vb）の投入後、抵抗R11を介して、NPNトランジスタQ14、Q15にベース電流が供給され、各NPNトランジスタQ14、Q15がオン状態となることによって、PNPトランジスタQ11の各コレクタに電流が流れ始め、その電流は、抵抗R13の抵抗値と、NPNトランジスタQ14のベース-エミッタ間の順方向電圧Vf（約0.7V）とで決まる一定電流（Vf/R13）に制御されることになる。

【0009】次に、定電圧回路20においては、PNPトランジスタQ21を介して外部電源ラインLbからNPNトランジスタQ22のベースに印加される電圧がダイオード7個分の順方向電圧「7・Vf」（約4.9V）を越えると、ダイオードD1～D7に電流が流れ、NPNトランジスタQ22のベース電圧が、この電圧以下に制限されることになる。

【0010】つまり、7個のダイオードD1～D7は、NPNトランジスタQ22のベース電圧の上限を所定のクランプ電圧（ここでは約4.9V）以下に制限することで、定電圧回路20からの出力電圧（簡易定電圧Vc）の上限を、クランプ電圧（約4.9V）からNPNトランジスタQ22のベース-エミッタ間の順方向電圧Vfを減じた設定電圧（約4.2V）に制御する。

【0011】一方、BG回路30は、コレクタが抵抗R31を介して基準電圧Vstの出力端子Toutに接続され、コレクタ-ベース間に互いに接続され、エミッタがグランドラインに接地されたNPNトランジスタQ31と、コレクタが抵抗R32を介して基準電圧Vstの出力端子Toutに接続され、ベースがNPNトランジスタQ31のベースに接続され、エミッタが抵抗R33を介してグランドラインに接地されたNPNトランジスタQ32とからなる周知のものである。

【0012】そして、NPNトランジスタQ31及びQ32のベース、及び、NPNトランジスタQ32のコレクタは、差動増幅器40において差動対を構成している一対の入力トランジスタ（NPNトランジスタ）Q42及びQ41のベースに夫々接続されている。

【0013】ここで、差動増幅器40は、所謂オペアンプであり、NPNトランジスタQ41のベースはオペアンプの非反転入力端子、NPNトランジスタQ42のベースはオペアンプの反転入力端子として機能する。即ち、差動増幅器40は、BG回路30を構成するNPNトランジスタQ31、Q32のベース（換言すればNPNトランジスタQ31のコレクタ）と、NPNトランジスタQ32のコレクタとが同電位となるように、NPNトランジスタQ46を制御することで、出力ラインLo

の電位（つまり基準電圧Vst）を、BG回路30を構成するトランジスタのバンドギャップ電圧で決まる一定電圧（この場合、約1.2Vとなる）に制御する。

【0014】そして、この基準電圧Vstは、温度依存性のない極めて安定した電圧となる。つまり、まず、BG回路30において、NPNトランジスタQ32のコレクタ電流をIc2、NPNトランジスタQ32のベース-エミッタ間電圧をVBE2とすると、NPNトランジスタQ31のベース-エミッタ間電圧VBE1は、次式(1)の如く記述できる。

【0015】

$$VBE1 = VBE2 + Ic2 \times R33 \cdots (1)$$

そして、NPNトランジスタQ31のベースは、コレクタに接続されていることから、NPNトランジスタQ31のコレクタ電圧は、上記(1)式で記述されるベース-エミッタ間電圧VBE1と一致する。従って、NPNトランジスタQ31のコレクタ電流をIc1とすれば、基準電圧Vstは、次式(2)の如く記述できる。

【0016】

$$Vst = Ic1 \times R31 + VBE1 \cdots (2)$$

一方、差動増幅器40は、NPNトランジスタQ31、Q32の共通のベース電圧と、NPNトランジスタQ32のコレクタ電圧とが一致するように基準電圧Vstを制御することから、基準電圧Vstは、次式(3)のようにも記述できる。

【0017】

$$Vst = Ic2 \times R32 + VBE1 \cdots (3)$$

ここで、電子の電荷量をq、ボルツマン定数をk、絶対温度をTとして、上記(1)式を変形すると、

$$\begin{aligned} (k \cdot T / q) \times \ln (Ic1 / Is) &= (k \cdot T / q) \times \ln (Ic2 / Is) + Ic2 \times R33 \\ (k \cdot T / q) \times \ln (Ic1 / Ic2) &= Ic2 \times R33 \end{aligned}$$

となり、これを(3)式のIc2に代入すると、基準電圧Vstは、

$$Vst = VBE1 + (R32 / R33) \times (k \cdot T / q) \times \ln (Ic1 / Ic2)$$

となる。そして、(2)式と(3)式とから、

$$Ic1 \times R31 = Ic2 \times R32$$

であることから、基準電圧Vstは、

$$Vst = VBE1 + (R32 / R33) \times (k \cdot T / q) \times \ln (R32 / R31)$$

と変形できる。そして、この両辺を、温度Tで偏微分すると、

$$\delta Vst / \delta T = \delta VBE1 / \delta T + (R32 / R33) \times (k / q) \times \ln (R32 / R31)$$

となり、 $\delta Vst / \delta T = 0$ となるように定数を決める事で、温度依存性のない安定した基準電圧が得られることになるのである。

【0018】このように構成された従来の基準電圧発生

装置においては、出力電圧である基準電圧  $V_{st}$  が約 1.2 V であることから、基準電圧発生用の BG 回路 30 及び差動増幅器 40 は、BG 回路 30 から出力端子  $T_{out}$  に至る基準電圧  $V_{st}$  の出力ライン  $L_o$  に、この電圧以上の電源電圧が供給されることにより動作を開始する。

【0019】そして、出力ライン  $L_o$  には、定電圧回路 20 から簡易定電圧  $V_c$  が供給される電源ライン  $L_c$  から、抵抗  $R_0$  を介して電源供給がなされ、電源ライン  $L_c$  には、外部電源ライン  $L_b$  から NPN トランジスタ  $Q_{22}$  を介して電源供給がなされることから、BG 回路 30 及び差動増幅器 40 は、バッテリ電圧  $V_b$  が、BG 回路 30 及び差動増幅器 40 の動作開始電圧（約 1.2 V）に NPN トランジスタ  $Q_{22}$  での電圧降下分を加えた約 2 V 以上であるときに正常動作することになる。

【0020】尚、図 6 に示した基準電圧発生装置には、定電流回路 10 の PNP トランジスタ  $Q_{11}$  及び定電圧回路 20 の PNP トランジスタ  $Q_{21}$  と共にカレントミラー回路を構成する PNP トランジスタ  $Q_{40}$  が備えられており、この PNP トランジスタ  $Q_{40}$  を介して、BG 回路 30 及び差動増幅器 40 に電源を供給できるようにされている。

【0021】つまり、PNP トランジスタ  $Q_{40}$  は、エミッタが外部電源ライン  $L_b$  に接続され、コレクタが基準電圧  $V_{st}$  の出力ライン  $L_o$  に接続され、ベースが PNP トランジスタ  $Q_{11}$  及び  $Q_{21}$  のベースに接続されている。このため、定電流回路 10 が動作を開始すると、PNP トランジスタ  $Q_{40}$  を介して、出力ライン  $L_o$  に電流が供給されることになる。よって、BG 回路 30 及び差動増幅器 40 には、電源投入後、簡易定電圧  $V_c$  が上記最低動作電圧（約 2 V）に達する前から電流が供給されることになり、簡易定電圧  $V_c$  が上記最低動作電圧（約 2 V）に達した際には、出力端子  $T_{out}$  に接続された外部回路に対して、基準電圧  $V_{st}$  を速やかに供給できるようになる。

#### 【0022】

【発明が解決しようとする課題】しかしながら、上記従来の基準電圧発生装置においては、電源ライン  $L_c$  から出力ライン  $L_o$  に抵抗  $R_0$  を介して電源供給するようになっていることから、抵抗  $R_0$  の抵抗値を適切に選べば、簡易定電圧  $V_c$  の立上がり直後から基準電圧を立ち上げることができるもの、簡易定電圧  $V_c$  が一定となり、基準電圧も立ち上がった通常状態では、抵抗  $R_0$  に無駄な電流が流れてしまい、所謂暗電流が増加するといった問題があった。

【0023】そして、この暗電流は、基準電圧発生装置の動作中、當時流れることから、上記のように基準電圧発生装置が自動車用の電子制御装置に組み込まれる場合や、携帯装置のように内蔵電池により駆動される装置に組み込まれる場合には、バッテリや電池に蓄積された電力を無駄に消費してしまい、バッテリ上がり、電池寿命

の低下、といった問題を招くことになる。

【0024】一方、こうした問題を解決するには、例えば、図 7 に示すように、電源ライン  $L_c$  と出力ライン  $L_o$  の間に、電源供給用の NPN トランジスタ  $Q_1$  を設け、NPN トランジスタ  $Q_1$  を介して電源ライン  $L_c$  から出力ライン  $L_o$  に流入する電流を差動増幅器 40 により制御するようにするといよい。

【0025】つまり、図 7 に示す基準電圧発生装置は、図 6 に示した基準電圧発生装置から、BG 回路 30 及び差動増幅器 40 へ電源供給を行う抵抗  $R_0$  を削除し、その代わりに、コレクタが電源ライン  $L_c$  に接続され、エミッタが出力ライン  $L_o$  に接続された NPN トランジスタ  $Q_1$  と、NPN トランジスタ  $Q_1$  のベース-コレクタ間にバイアス用の抵抗  $R_1$  を設け、NPN トランジスタ  $Q_1$  のベース電流を差動増幅器 40 により制御できるように、差動増幅器 40 内の NPN トランジスタ  $Q_{46}$  のコレクタを、NPN トランジスタ  $Q_1$  のベースに接続し、更に、差動増幅器 40 内の NPN トランジスタ  $Q_{46}$  のコレクタ-ベース間に、位相補償用のコンデンサ  $C_{42}$  を介して接続することにより構成されている。

【0026】そして、このように構成された図 7 の基準電圧発生装置においては、差動増幅器 40 の動作によって、基準電圧  $V_{st}$  が BG 回路 30 により決定される一定電圧（約 1.2 V）となるように NPN トランジスタ  $Q_1$  に流れる電流が制御されることから、電源ライン  $L_c$  から BG 回路 30 及び差動増幅器 40 には、NPN トランジスタ  $Q_1$  を介して、基準電圧  $V_{st}$  を発生するのに必要な電流が供給されることになり、バッテリ等、正負一対の電源端子  $T_b$  に接続される直流電源の消費電力を必要最小限に抑え、暗電流を低減できる。

【0027】しかしながら、このような対策では、暗電流を低減することはできるものの、電源ライン  $L_c$  と出力ライン  $L_o$  の間に、電流制御用の NPN トランジスタ  $Q_1$  を設けることになるので、電源供給時には、NPN トランジスタ  $Q_1$  にてベース-エミッタ間の順方向電圧  $V_f$  分の電圧降下が生じることになる。

【0028】従って、図 7 に示した装置では、基準電圧を発生するのに要する電源ライン  $L_c$  の最低電圧（換言すれば、基準電圧発生装置の最低動作電圧）が、抵抗  $R_0$  を用いて電源供給を行う図 6 の従来装置に比べて、NPN トランジスタ  $Q_1$  で生じる電圧降下分だけ高くなってしまい、例えば、電源ライン  $L_c$  の簡易定電圧の立上がりに対する基準電圧の立上がりが遅くなる、といった問題が生じる。

【0029】本発明は、こうした問題に鑑みなされたものであり、電源電圧の立上がりに伴い基準電圧を速やかに立ち上げることができ、しかも、電源電圧が安定した際に流れる暗電流を充分低減できる基準電圧発生装置を提供することを目的とする。

#### 【0030】

【課題を解決するための手段】かかる目的を達成するため、上記請求項1記載の基準電圧発生装置においては、電源ラインへの電源投入直後の電源電圧の立上がり時等、電源ラインの電源電圧が第2給電手段の動作可能電圧よりも低いときには、第1給電手段の抵抗を介して、電源ラインから基準電圧源に電源供給がなされ、逆に、電源ラインの電源電圧が第2給電手段の動作可能電圧よりも高いときには、第2給電手段のトランジスタを介して、電源ラインから基準電圧源に電源供給がなされることになる。

【0031】従って、本発明によれば、基準電圧源の動作によって基準電圧を出し得る当該装置の最低動作電圧を低くして、電源電圧の立上がり時に生じる基準電圧の立上がり遅れを改善できると共に、電源電圧が上昇して基準電圧が安定した際に流れる暗電流を抑制できる。

【0032】次に、上記請求項2に記載の基準電圧発生装置によれば、直流電源からの出力電圧が基準電圧発生装置以外の電気負荷の動作や外部ノイズによって変動したとしても、直流電源からの出力電圧が設定電圧以上であれば、電源電圧を設定電圧に保持することができる。

【0033】よって、この装置によれば、電源電圧の変動によって基準電圧が変動するのを防止し、より安定した基準電圧を生成することが可能となり、例えば、直流電源であるバッテリからの出力電圧が変動し易い自動車等に搭載すれば、その効果をより発揮することができる。

【0034】ここで、電圧制限手段としては、例えば、図6又は図7に示した定電圧回路のように、直流電源から電源ラインに給電用のトランジスタ(Q22)を介して電源供給を行うようにし、直流電源からそのトランジスタの制御端子に印加される電圧をダイオード(D1～D7)等からなる電圧クランプ用の半導体素子にて一定電圧以下に制限することで、直流電源から電源ラインに供給される電源電圧を設定電圧以下に制限するように構成すればよい。

【0035】しかしながら、直流電源から電源ラインへの給電経路上にこうした電圧制限手段を設けると、当該装置への電源投入直後の電源電圧(電源ラインの電圧)の立上がりが電圧制限手段の動作によって遅くなることが考えられる。そこで、上記のように電圧制限手段を設けた場合には、請求項3に記載のように構成してもよい。そして、このようにすれば、第1給電手段が基準電圧源に電源供給する電圧を直流電源の出力電圧にすることができる、電源投入直後等、電源電圧の立上がり時に当該装置が基準電圧の出力を開始する最低動作電圧をより低くすることが可能となる。

【0036】一方、基準電圧源としては、例えば、ツエナーダイオードの降伏電圧を利用して基準電圧を発生する回路を利用してもよいが、ツエナーダイオードは温度依存性を有することから、当該装置を自動車用或いは携

帯用の電子装置に組み込む際には、請求項4に記載のように、基準電圧源を、バンドギャップ回路を用いて構成するとよい。

【0037】つまり、既述したように、バンドギャップ回路は、温度依存性のない安定した基準電圧を発生することができることから、基準電圧源をバンドギャップ回路を用いて構成すれば、温度変化の影響を受けることなく安定した基準電圧を発生できる基準電圧発生装置を実現することが可能となる。

10 【0038】次に、給電経路切換手段としては、例えば、電源ラインの電源電圧を検出し、その検出電圧と判定用基準電圧とを大小比較するように構成してもよいが、この場合には、判定用基準電圧を生成する必要があるため、回路構成が複雑になってしまう。

【0039】また、このように電源電圧と判定用基準電圧とを比較することにより第2給電手段が動作可能であることを否かを判定する際には、誤判定が生じることのないように、判定用基準電圧を高めに設定する必要があるが、このようにすると、第2給電手段が動作可能状態20 になってからスイッチング素子がオフされるまでに応答遅れを生じ、その間、第1給電手段を構成する抵抗にて無駄な電力消費が生じることになる。

【0040】このため、給電経路切換手段としては、請求項5に記載のように構成することが望ましい。このようにすれば、電源電圧と第2給電手段の動作可能電圧とを比較する必要がないので、給電経路切換手段の構成を簡素化でき、しかも、第2給電手段が動作を開始した時点で、スイッチング素子をオフさせることができるので、スイッチング素子を応答遅れなくオフして、第1給電手段を構成する抵抗での消費電力をより確実に低減することが可能となる。

【0041】

【発明の実施の形態】以下に、本発明の実施形態を図面を用いて説明する。

【第1実施例】図1は、本発明が適用された第1実施例の基準電圧発生装置の構成を表す電気回路図である。

【0042】本実施例の基準電圧発生装置は、例えば、自動車においてエンジンや自動変速機等を制御するのに使用される車両用電子制御装置に組み込まれて、A/D40 変換等を高精度に行うに必要な基準電圧を生成するためのものであり、図7に示した基準電圧発生装置と同一構成を有する。

【0043】即ち、本実施例の基準電圧発生装置は、定電流回路10と、電圧制限手段としての定電圧回路20と、基準電圧源としてのバンドギャップ回路(BG回路)30と、差動増幅器40とを備え、差動増幅器40が、電源ラインLcと出力ラインLoとの間に設けられたNPNトランジスタQ1を、基準電圧Vstが一定電圧(約1.2V)となるように制御するようにされている。

【0044】そして、本実施例の基準電圧発生装置と図7に示した基準電圧発生装置との異なる点は、下記の通りである。尚、本実施例において、差動増幅器40は、本発明の第2給電手段を構成する制御手段に相当し、NPNトランジスタQ1は、本発明の第2給電手段を構成するトランジスタに相当する。また、上記各回路（定電流回路10、定電圧回路20、BG回路30、差動増幅器40）は、図7に示した基準電圧発生装置のものと全く同様に構成されており、その詳細は既に説明したので、ここではこれら各回路の説明は省略する。

【0045】図1に示すように、定電圧回路20から簡易定電圧Vcが出力される電源ラインLcには、PNPトランジスタQ2のエミッタが接続されている。そして、このPNPトランジスタQ2のコレクタは、抵抗R0（図6に示した給電用の抵抗R0と同じ）を介して、出力ラインLoに接続されている。

【0046】また、PNPトランジスタQ2のベース-エミッタ（換言すればPNPトランジスタQ2のベースと電源ラインLcとの間）には、抵抗R2が接続されており、PNPトランジスタQ2のベースには、抵抗R2と共に簡易定電圧Vcを分圧するための抵抗R3の一端が接続されている。尚、PNPトランジスタQ2及び抵抗R0は、本発明の第1給電手段に相当し、PNPトランジスタQ2は、第1給電手段を構成するスイッチング素子に相当する。

【0047】一方、本実施例の基準電圧発生装置には、BG回路30を構成する一对のNPNトランジスタQ31、Q32のコレクタ電位VCQ31、VCQ32を比較する比較器50が設けられている。比較器50は、上記各コレクタ電位VCQ31、VCQ32の電位差に応じて、PNPトランジスタQ2のオン・オフ状態を切り換えることにより、基準電圧源であるBG回路30への電源供給を、差動増幅器40により制御されるNPNトランジスタQ1（換言すれば第2給電手段）を介して行うか、或いは、抵抗R0（換言すれば第1給電手段）を介して行うかを切り換えるためのものであり、本発明の給電経路切換手段として機能する。

【0048】即ち、比較器50は、ベースがNPNトランジスタQ32のコレクタに接続されたPNPトランジスタQ51と、ベースがNPNトランジスタQ31のコレクタに接続されたPNPトランジスタQ52とからなる一对の入力トランジスタを備える。そして、PNPトランジスタQ51のコレクタは、抵抗R52を介してグランドラインに接地され、PNPトランジスタQ52のコレクタは、グランドラインに直接接地されている。

【0049】また、本実施例の基準電圧発生装置には、定電流回路10のPNPトランジスタQ11、定電圧回路20のPNPトランジスタQ21、及びPNPトランジスタQ40と共にカレントミラーリー回路を構成するPNPトランジスタQ50が備えられており、このPNPト

ランジスタQ50を介して比較器50に定電流を供給するようになっている。

【0050】そして、比較器50において、PNPトランジスタQ50から定電流が供給される経路には、PNPトランジスタQ51のエミッタが抵抗R51を介して接続されると共に、PNPトランジスタQ52のエミッタが直接接続されている。また、PNPトランジスタQ51のコレクタと抵抗R52との接続点には、エミッタがグランドラインに接地され、コレクタが抵抗R3の他端に接続されたNPNトランジスタQ53のベースが接続されている。

【0051】このように構成された比較器50においては、PNPトランジスタQ51のエミッタに抵抗R51が接続されていることから、抵抗R51の抵抗値とPNPトランジスタQ50からの供給電流ICQ50とで決まるオフセット電圧VOS（=R51×ICQ50）が設定された差動回路として動作する。

【0052】つまり、NPNトランジスタQ32のコレクタ電圧VCQ32（換言すればPNPトランジスタQ51のベース電圧VBQ51）が、NPNトランジスタQ31のコレクタ電圧VCQ31（換言すればPNPトランジスタQ52のベース電圧VBQ52）にオフセット電圧VOSを加えた電圧となるように（つまり、VCQ32=VCQ31+VOSとなるように）、NPNトランジスタQ53をオン・オフさせる。

【0053】従って、本実施例の基準電圧発生装置において、電源投入直後には、BG回路30内のNPNトランジスタQ31のコレクタ電圧（延いてはPNPトランジスタQ52のベース電圧）が立ち上がり、NPNトランジスタQ32のコレクタ電圧（延いてはPNPトランジスタQ51のベース電圧）が低いことから、比較器50では、PNPトランジスタQ51及びNPNトランジスタQ53がオン状態となり、PNPトランジスタQ2をオンさせることになる（図2に示す時点t1参照）。

【0054】そして、PNPトランジスタQ2がオン状態になると、BG回路30には、PNPトランジスタQ2に直列接続された抵抗R0を介して、電源ラインLcから電源供給がなされることから、その後は、図2に示すように、BG回路30の動作によって、出力ラインLoの電位が基準電圧Vstまで上昇することになる。

【0055】次に、電源ラインLcの電位（つまり簡易定電圧Vc）が上昇してきて、NPNトランジスタQ1を介して電流を供給できるようになると、必然的にNPNトランジスタQ32のコレクタ電圧（延いてはPNPトランジスタQ51のベース電圧）が上昇し、PNPトランジスタQ51、NPNトランジスタQ53、PNPトランジスタQ2がオフする（図2に示す時点t2参照）。

【0056】そして、その後は、差動増幅器40の動作によって、NPNトランジスタQ1に流れる電流が制御

され、出力ラインL<sub>0</sub>は、BG回路30のバンドギャップ電圧で決まる所定の基準電圧V<sub>st</sub>に保持されることになる。尚、図2は、電源投入直後の比較器50各部（詳しくはPNPトランジスタQ51, Q52のベース電圧及びNPNトランジスタQ53のコレクタ電圧）の電圧変化、並びに、電源ラインL<sub>c</sub>及び出力ラインL<sub>0</sub>の電圧変化を表すタイムチャートである。

【0057】以上説明したように、本実施例の基準電圧発生装置においては、給電経路切換手段としての比較器50の動作によって、電源ラインL<sub>c</sub>の簡易定電圧V<sub>c</sub>が差動増幅器40によりNPNトランジスタQ1を制御可能な電圧（約1.9V）に達していない場合にPNPトランジスタQ2がオンされ、簡易定電圧V<sub>c</sub>がNPNトランジスタQ1を制御可能な電圧（約1.9V）に達するとPNPトランジスタQ2がオフされる。

【0058】そして、-PNPトランジスタQ2がオン状態であれば、抵抗R0を介してBG回路30に電源供給を行うことができるので、図7に示した基準電圧発生装置に比べて、BG回路30の動作により基準電圧を出力し得る最低動作電圧を低くし、電源電圧の立上がり時に生じる基準電圧の立上がり遅れを改善できる。尚、図2において、点線で示す基準電圧V<sub>st</sub>の立上がり特性は、図7に示した基準電圧発生装置のものであり、この図2からも、本実施例によれば基準電圧の立上がり遅れを改善できることが判る。

【0059】また、抵抗R0を介してBG回路30に電源が供給されるのは、簡易定電圧V<sub>c</sub>が第2給電手段としてのNPNトランジスタQ1を制御可能な電圧に達するまでであり、簡易定電圧V<sub>c</sub>が安定した際には、PNPトランジスタQ2がオフされ、抵抗R0に電流が流れることはないので、当該装置の通常動作時に流れる暗電流を充分抑制できる。

【0060】また、本実施例の基準電圧発生装置には、電圧制限手段としての定電圧回路20が設けられ、電源ラインL<sub>c</sub>をバッテリ電圧V<sub>b</sub>よりも低く正規の基準電圧V<sub>st</sub>（約1.2V）よりも高い設定電圧（約4.2V）以下に制限するようにされているので、バッテリ電圧V<sub>b</sub>の変動に伴い基準電圧V<sub>st</sub>が変動するのを防止することができる。

【0061】また更に、本実施例では、給電経路切換用のスイッチング素子（つまりPNPトランジスタQ2）をオン・オフさせる比較器50が、差動増幅器40の動作によって制御されるBG回路30の内部電圧（NPNトランジスタQ31, Q32のコレクタ電圧）を監視し、その電圧から差動増幅器40が正常に機能していることを判定して、PNPトランジスタQ2をオフするよう構成されているので、後述する第2実施例のように、簡易定電圧V<sub>c</sub>を検出して、その電圧が設定電圧に達したときにPNPトランジスタQ2をオフするようにした場合に比べて、給電経路切換手段としての回路構成

を簡素化できる。

【0062】ここで、上記説明では、PNPトランジスタQ2のエミッタ及び抵抗R2の一端は、定電圧回路20内のNPNトランジスタQ22を介してバッテリから電源供給を受ける電源ラインL<sub>c</sub>に接続されるものとしたが、図3に示すように、PNPトランジスタQ2のエミッタ及び抵抗R2の一端は、バッテリから直接電源供給を受ける外部電源ラインL<sub>b</sub>に接続するようにしてもよい。

【0063】そして、このようにすれば、PNPトランジスタQ2のオン時に、BG回路30には、抵抗R0を介して、外部電源ラインL<sub>b</sub>から電源が供給されることになるため、図4に示すように、電源投入後、定電流回路10が動作を開始してPNPトランジスタQ2がオンした直後（時点t1直後）の基準電圧V<sub>st</sub>の立上がりが急峻となり、図1に示した装置に比べて、基準電圧の出力を開始する最低動作電圧をより低くすることができる。

【0064】尚、図3に示した基準電圧発生装置は、PNPトランジスタQ2のエミッタ及び抵抗R2の一端が接続される電源ラインが異なるだけで、装置構成自体は、図1に示した基準電圧発生装置と同じである。また、図4は、図2に対応して、電源投入直後の比較器50各部（詳しくはPNPトランジスタQ51, Q52のベース電圧及びNPNトランジスタQ53のコレクタ電圧）の電圧変化、並びに、電源ラインL<sub>c</sub>及び出力ラインL<sub>0</sub>の電圧変化を測定した結果を表すタイムチャートである。

【0065】【第2実施例】次に図5は、本発明が適用された第2実施例の基準電圧発生装置の構成を表す電気回路図である。図5に示すように、本実施例の基準電圧発生装置は、上記第1実施例と同様、定電流回路10と、電圧制限手段としての定電圧回路20と、基準電圧源としてのバンドギャップ回路（BG回路）30' と、第2給電手段を構成する制御手段としての差動増幅器40' と、給電経路切換手段としての比較器50' とを備え、差動増幅器40が、電源ラインL<sub>c</sub>と出力ラインL<sub>0</sub>との間に設けられたNPNトランジスタQ1を制御することにより、一定の基準電圧V<sub>st</sub>（約1.2V）を生成するものである。

【0066】そして、本実施例において、定電流回路10及び定電圧回路20は、第1実施例のものと同一構成であるが、BG回路30'、差動増幅器40'、及び比較器50'は、第1実施例のものと若干異なる。即ち、本実施例のBG回路30'において、一対のNPNトランジスタQ31, Q32のコレクタは、夫々、抵抗R31, R32を介して、電源ラインL<sub>c</sub>に直接接続されている。また、NPNトランジスタQ32のエミッタには、上記実施例と同様、抵抗R33が接続され、その抵抗R33の他端は、NPNトランジスタQ31のエミッタ

タに接続されるが、このNPNトランジスタQ31のエミッタと抵抗R33との接続点は、抵抗R34を介して、グランドラインに接地されている。また、NPNトランジスタQ31、Q32のベースは互いに接続されているが、NPNトランジスタQ31のベースエミッタ間は接続されておらず、これら各トランジスタQ31、Q32のベースは、直接、基準電圧Vstの出力端子Toutに接続されている。

【0067】次に、差動増幅器40'は、上述した差動増幅器40と同様、NPNトランジスタQ41、Q42、PNPトランジスタQ43、Q44、Q45、抵抗R42、R43、R44、R45、及びコンデンサC41を備えるものの、BG回路30'の抵抗R31、R32が電源ラインLcに接続されていることから、これに対応して、抵抗R42、R43、R44の一端が電源ラインLcに接続されている。そして、NPNトランジスタQ1のベースは、PNPトランジスタQ45のコレクタと抵抗R45との接続点に接続されている。

【0068】また、差動増幅器40'の入力トランジスタとなるNPNトランジスタQ41、Q42のベースは、夫々、BG回路30'側のNPNトランジスタQ31、Q32のコレクタに接続されており、NPNトランジスタQ41、Q42のエミッタは、上述した差動増幅器40と同様、互いに接続されている。そして、これら各エミッタ同士の接続点は、エミッタがグランドラインに接地されたNPNトランジスタQ46のコレクタに接続されている。

【0069】このNPNトランジスタQ46は、定電流回路内のPNPトランジスタQ11とカレントミラー回路を構成しているPNPトランジスタQ40のコレクタから電流供給を受けるNPNトランジスタQ66とカレントミラー回路を構成しており、差動増幅器40'の定電流源となる。

【0070】つまり、NPNトランジスタQ66のコレクタは、PNPトランジスタQ40のコレクタに接続され、NPNトランジスタQ66のコレクターベース間は互いに接続され、NPNトランジスタQ66のエミッタはグランドラインに接地され、NPNトランジスタQ66のベースは、NPNトランジスタQ46のベースに接続されているため、NPNトランジスタQ46には、PNPトランジスタQ40(延いては定電流回路10)に流れる電流に比例した電流が流れるのである。

【0071】このように構成された差動増幅器40'においては、BG回路30'側のNPNトランジスタQ31、Q32のコレクタが同電位となるように、NPNトランジスタQ1を制御することで、出力端子Toutの電位(つまり基準電圧Vst)を、BG回路30を構成するトランジスタのバンドギャップ電圧で決まる一定電圧(約1.2V)に制御することになるが、この差動増幅器40'の動作によって一定の基準電圧Vstを出力でき

るようになるには、電源ラインLcの電位が、基準電圧Vst(約1.2V)にNPNトランジスタQ1のベースエミッタ間順方向電圧Vf(約0.7V)を加えた電圧以上になる必要がある。

【0072】そこで、本実施例においても、電源ラインLcの電位がこの電圧に達するまでの間に基準電圧を出力できるようにするために(換言すれば当該装置の最低動作電圧を低くするために)、電源ラインLcからNPNトランジスタQ31、Q32(詳しくはそのベース)10に直接電源供給を行うための第1給電手段が設けられている。

【0073】つまり、本実施例において、第1給電手段は、一端が電源ラインLcに接続された抵抗R0と、抵抗R0の他端にソースが接続され、ドレインがNPNトランジスタQ31、Q32のベース(換言すれば簡易定電圧Vstの出力端子Tout)に接続されたpチャネルのMOSFETQ3とから構成されており、FETQ3がオン状態であるときに、電源ラインLcからBG回路30'に直接電源を供給できるようにされている。

【0074】次に、比較器50'は、このFETQ3のオン・オフ状態を切り換えることにより、BG回路30'への電源供給を抵抗R0を介して行うか、NPNトランジスタQ1を介して行うかを切り換えるようにされている。即ち、本実施例の比較器50'は、エミッタが抵抗R61を介して電源ラインLcに接続されたPNPトランジスタQ61と、エミッタが抵抗R62を介してNPNトランジスタQ31、Q32のベース(換言すれば簡易定電圧Vstの出力端子Tout)に接続されたPNPトランジスタQ62とを備える。

【0075】これら各PNPトランジスタQ61、Q62は、2つのコレクタを備え、一方のコレクタは互いに接続されている。また、これら各PNPトランジスタQ61、Q62のベースも互いに接続されており、しかも、一方のコレクタ同士の接続点に接続されている。そして、これらベース及びコレクタの接続点は、エミッタがグランドラインに接地されたNPNトランジスタQ65のコレクタに接続されている。尚、NPNトランジスタQ65は、PNPトランジスタQ40から定電流が供給されるNPNトランジスタQ66のベースに接続されており、NPNトランジスタQ66とカレントミラー回路を構成している。

【0076】また次に、上記各PNPトランジスタQ61、Q62の他方のコレクタは、夫々、エミッタがグランドラインに接地されたNPNトランジスタQ63、Q64のコレクタに接続されている。また、これら各NPNトランジスタQ63、Q64のベースは互いに接続されており、NPNトランジスタQ64のベースコレクタ間は互いに接続されている。そして、第1給電手段を構成するスイッチング素子としてのFETQ3のゲート50は、PNPトランジスタQ61及びNPNトランジスタ

Q63のコレクタ同士の接続点に接続されている。

【0077】このように構成された比較器50'においては、NPNトランジスタQ65に流れる電流をIとすれば、「 $I \times (R61 - R62)$ 」(但し、R61, R62は抵抗R61, R62の抵抗値)のオフセット電圧V0Sを有するコンパレータとして機能する。つまり、電源ラインLcの簡易定電圧Vcが、出力端子Toutから出力される基準電圧Vstにオフセット電圧V0Sを加えた電圧よりも低い場合( $Vc < Vst + V0S$ )には、FETQ3をオンさせ、逆に、電源ラインLcの簡易定電圧Vcが、出力端子Toutから出力される基準電圧Vstにオフセット電圧V0Sを加えた電圧以上になると( $Vc \geq Vst + V0S$ )、FETQ3をオフさせる。

【0078】そこで、本実施例では、抵抗R61とR62の抵抗値を適宜選択することにより、比較器50'のオフセット電圧V0Sを、NPNトランジスタQ1を制御するのに必要な電源ラインLcと出力端子Toutとの電位差(約0.7V)に設定し、簡易定電圧Vcが差動增幅器40'によるNPNトランジスタQ1の制御動作によって正規の基準電圧Vstを出力できる電圧に達するまでは、FETQ3をオン状態に保持し、簡易定電圧Vcがその電圧以上になると、FETQ3をオフするようされている。

【0079】従って、本実施例の基準電圧発生装置においても、第1実施例の装置と同様、BG回路30'の動作により基準電圧を出力し得る最低動作電圧を低くして、電源電圧の立上がり時に生じる基準電圧の立上がり遅れを改善できると共に、当該装置の通常動作時に流れれる暗電流を充分抑制できる。

【0080】以上、本発明を適用した2つの実施例について説明したが、本発明は、上記実施例に限定されるものではなく、種々の態様を探ることができる。例えば、上記実施例では、基準電圧源として、温度依存性のないバンドギャップ回路を用いるものとして説明したが、これは、上記実施例の基準電圧発生装置が自動車に搭載される電子制御装置に組み込まれるものであるためであり、例えば、基準電圧発生装置が温度変化の少ない環境下で使用されるものである場合には、基準電圧源として、ツェナーダイオード等を用いた基準電圧源を利用す

るようとしてもよい。

【0081】また、第2実施例の基準電圧発生装置において、図5の回路では、第1給電手段としての抵抗R0が電源ラインLcからBG回路30'に電源供給を行うようにしたが、この抵抗R0の一端を、電源ラインLcに代えて外部電源ラインLbに接続することにより、抵抗R0が外部電源ラインLbからBG回路30'に電源供給を行うように構成してもよい。

【0082】また、上記各実施例では、電源電圧(バッテリ電圧Vb)の変動に伴い生じる基準電圧Vstの変動を防止するために、電圧制限手段としての定電圧回路20を備えているが、電源電圧の変動の少ない環境下で基準電圧発生装置を使用する場合には、こうした定電圧回路20を設ける必要はなく、バッテリ等の直流電源から電源ラインLcに直接電源供給を行うようにしてもよい。

#### 【図面の簡単な説明】

【図1】 第1実施例の基準電圧発生装置の構成を表す電気回路図である。

【図2】 図1に示した基準電圧発生装置の電源投入後の電圧変化を表すタイムチャートである。

【図3】 第1実施例の基準電圧発生装置の変形例を表す電気回路図である。

【図4】 図3に示した基準電圧発生装置の電源投入後の電圧変化を表すタイムチャートである。

【図5】 第2実施例の基準電圧発生装置の構成を表す電気回路図である。

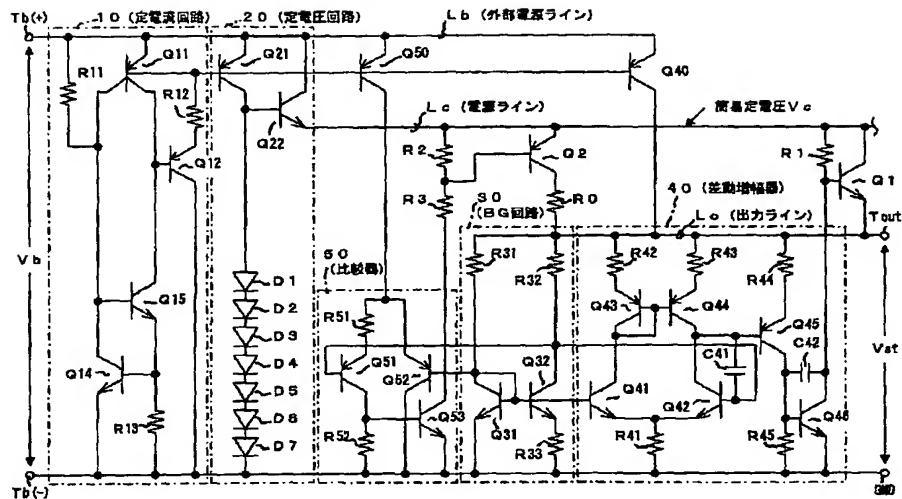
【図6】 従来の基準電圧発生装置の構成を表す電気回路図である。

【図7】 暗電流の低減を図った従来の基準電圧発生装置の構成を表す電気回路図である。

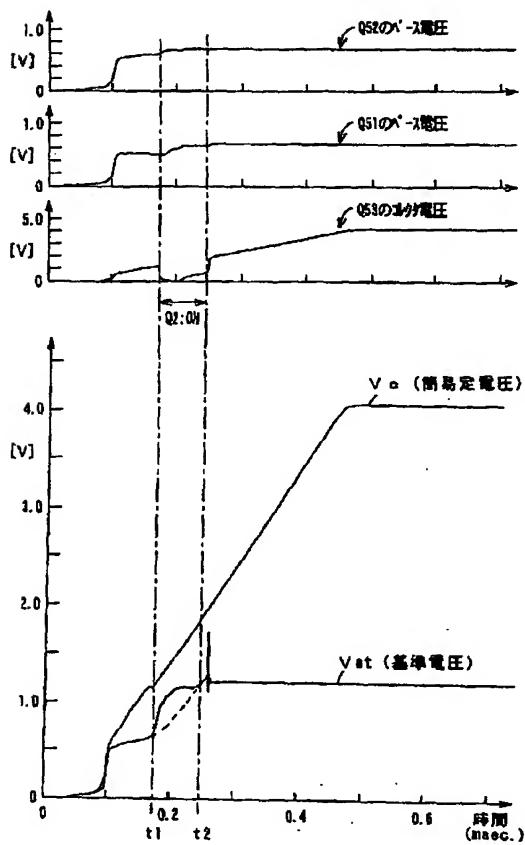
#### 【符号の説明】

10…定電流回路、20…定電圧回路、30, 30'…BG回路(バンドギャップ回路)、40, 40'…差動増幅器(制御手段)、50, 50'…比較器、R0…抵抗(第1給電手段)、Q1…NPNトランジスタ(第2給電手段)、Q2…PNPトランジスタ(スイッチング素子)、Q3…FET(スイッチング素子)、Lc…電源ライン、Lb…外部電源ライン。

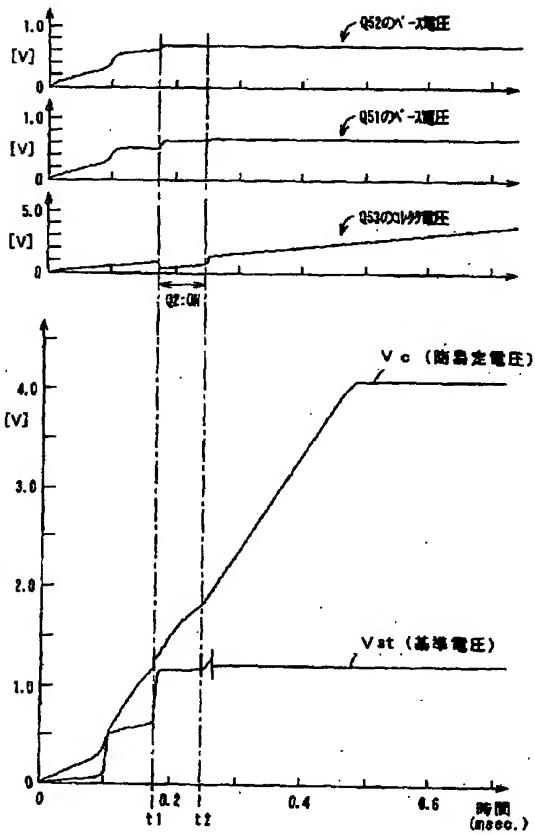
【図1】



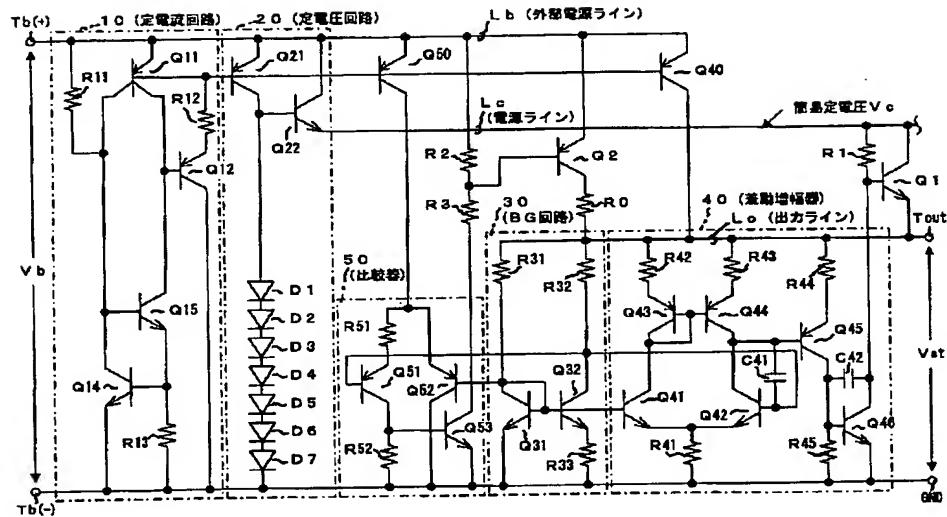
【図2】



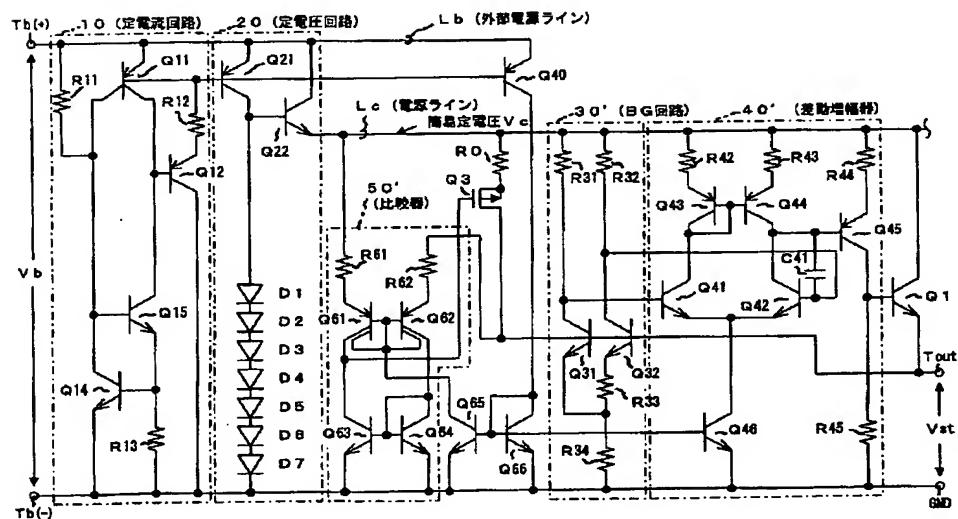
【図4】



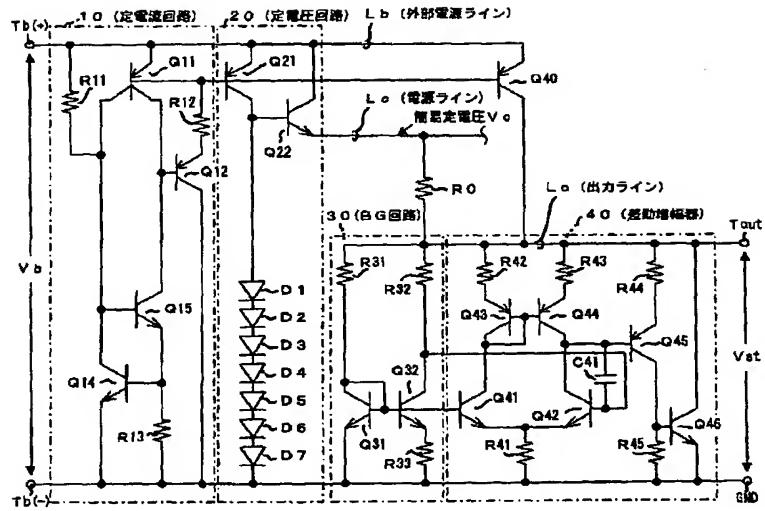
【図3】



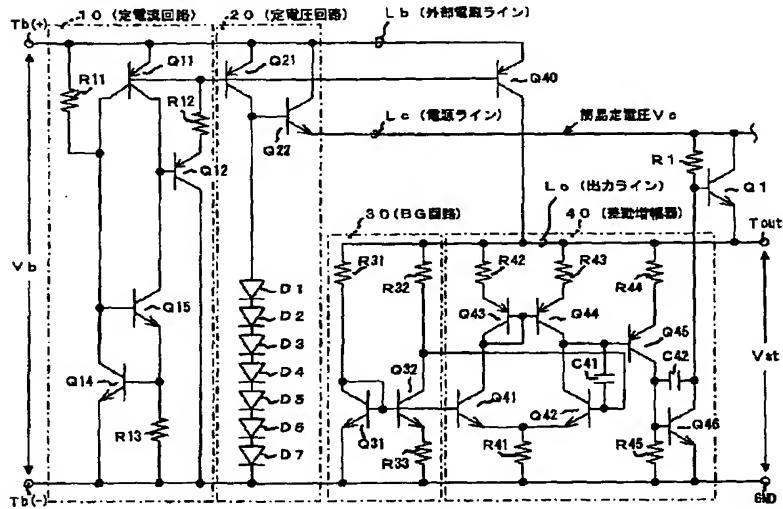
【図5】



【図6】



【図7】



引用例・公知例①(文献)

# A Precise On-Chip Voltage Generator for a Gigascale DRAM with a Negative Word-Line Scheme

Hitoshi Tanaka, Member, IEEE, Masakazu Aoki, Member, IEEE, Takeshi Sakata, Member, IEEE, Shin'ichiro Kimura, Member, IEEE, Narumi Sakashita, Hideto Hidaka, Tadashi Tachibana, and Katsutaka Kimura, Member, IEEE

**Abstract**—A precise on-chip voltage generator for gigascale DRAM's with a negative word-line scheme is described. It combines a charge-pump regulator and a series-pass regulator, and it also includes a positive and negative offset voltage generator that uses a bandgap generator with a differential amplifier. The proposed circuit was experimentally evaluated with a test device fabricated using a 0.3- $\mu\text{m}$  process. The simulation results show that the series-pass regulator suppresses the noise on a word-line low voltage (negative) to below 30 mV for the word-line transient and  $V_{BS}$  bouncing. A dc-voltage error of less than 6% without trimming is confirmed for the positive and negative offset voltage generator through the test device. These results show that the described scheme can be used in future low-voltage gigascale DRAM's.

**Index Terms**—Bandgap generator, charge-pump regulator, DRAM, negative word, voltage regulator.

## I. INTRODUCTION

Low-voltage DRAM's have become more important recently because power reduction is inherently necessary for very-high-speed memory operations. The particularly high threshold voltage ( $V_{T\text{H}}$ ) of the memory-cell transistor, however, has not been scaled to prevent the subthreshold leakage, though the transistor size has been scaled. Therefore, word-line (WL) voltage boosting ( $\Delta V_w$ ) has been maintained to ensure the full-write operation and has become a major limiting factor for the bit-line voltage swing and the signal voltage in the memory cell (Fig. 1). Also, the substrate impurity concentration for the high- $V_{T\text{H}}$  transistor has become close to  $10^{18}/\text{cm}^3$ , which, as shown in Fig. 2, enhances the electric field at the junction and degrades the refresh characteristics [1]. The separation of the gate-oxide thickness ( $t_{\text{ox}}$ ) for the transistors in the peripheral circuits and in the memory array improve the performance in the peripheral circuits but causes process complexity and insufficient transistor performance in the memory array. The negative word-line (NWL) architecture is a relaxation technique of the above-mentioned problems, and

Manuscript received November 10, 1998; revised April 14, 1999. Part of this paper was presented at the 1998 Symposium on VLSI Circuits, Honolulu, HI, June 1998.

H. Tanaka is with Hitachi ULSI Systems Co., Ltd., Kokubunji, Tokyo 185-8601 Japan.

M. Aoki, T. Sakata, S. Kimura, and K. Kimura are with Hitachi Ltd., Kokubunji, Tokyo 185-8601 Japan.

N. Sakashita and H. Hidaka are with Mitsubishi Electric Corp., Itami, Hyogo 664-8641 Japan.

T. Tachibana is with Texas Instruments Japan, Ltd., Miho, Ibaragi 300-0496 Japan.

Publisher Item Identifier S 0018-9200(99)0616-6.

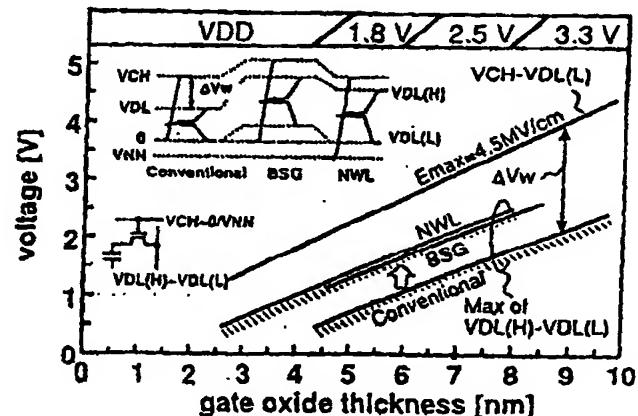


Fig. 1. Trends in memory array operating voltages as a function of transistor gate-oxide thickness.

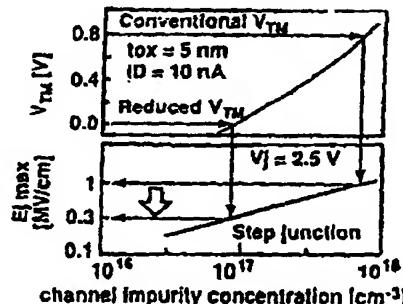


Fig. 2.  $E_{\text{max}}$  relaxation by reducing threshold voltage of memory-cell transistor  $V_{T\text{H}}$ .

is regarded as more suitable for the scaled memory array with low-voltage operation than the boosted sense-ground (BSG) technique [2].

Fig. 3 shows the memory-cell leakage current as a function of the word-line off voltage  $V_{NN}$ , which is one of the major issues when designing an NWL scheme. The leakage current that flows from a bit line to a cell capacitor will destroy the stored information in the cell capacitor. This current increases by a decade with a 0.1-V increase in  $V_{NN}$ . Therefore,  $V_{NN}$  must be extremely well stabilized against load current rushing, as well as against supply-voltage, temperature, and process variations. However, the voltage generator for providing the accurate and stable, high and low WL levels necessary for a low-voltage memory array has not been investigated yet.

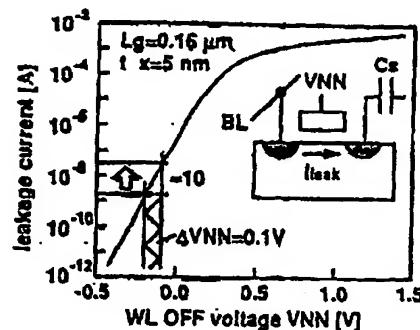


Fig. 3. Leakage current versus WL low voltage.

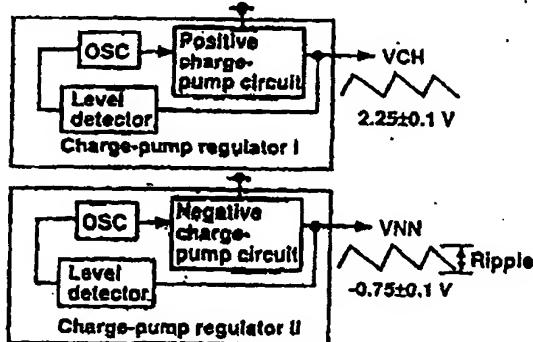


Fig. 4. Conventional charge-pump circuit.

This paper describes a hybrid voltage regulator to provide stable, high, and low WL levels and also an accurate negative and positive offset voltage generator for a low-voltage memory array [6]. A stable hybrid voltage regulator is described in Section II, and an accurate negative and positive offset voltage generator is described in Section III. The experimental results using a test circuit are described in Section IV.

## II. CHARGE-PUMP REGULATOR

### A. Conventional Charge-Pump Regulator

Fig. 4 shows conventional charge-pump regulators that generate the high voltage ( $V_{CH}$ ) and the WL low voltage ( $V_{NN}$ ) in a DRAM chip with an NWL scheme. They generally consist of an oscillator, a level detector, and a charge-pump circuit. There are two problems with this design: one is a ripple of about 0.2 V peak-to-peak that stems from the hysteresis of the level detector used for stabilization. The other is the voltage drop caused by the wiring resistance. Since the charge-pump regulators are placed in a local site (Fig. 5) due to their large layout area and the minority carrier injection into the substrate, the wiring resistance from the regulator to the word-line driver (WD) can be as high as 100  $\Omega$ . If a current of 3 mA passes through this resistance, the voltage difference across the resistance will be about 0.3 V. This causes  $V_{CH}$  to drop and  $V_{NN}$  to rise. The drop in  $V_{CH}$  decreases the bit-line signal by 15–20% below a bit-line voltage  $V_{BL}$  of 1.8 V, and the rise in  $V_{NN}$  increases over 1000 times the memory-cell leakage current. Furthermore, the ripple accelerates these effects. To prevent them, the absolute value of  $V_{CH}$  and  $V_{NN}$  must be set higher

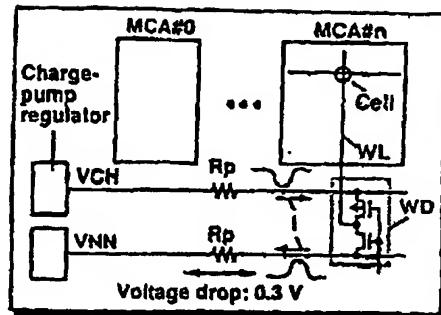


Fig. 5. Conventional charge-pump regulator and memory array in a DRAM chip.

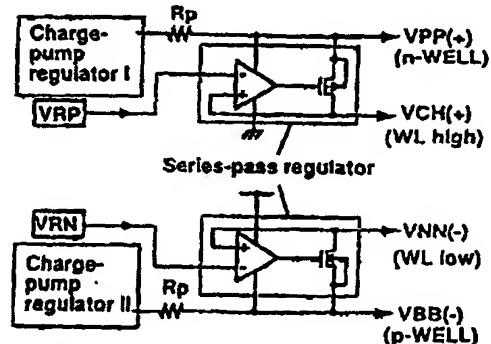


Fig. 6. Proposed hybrid regulator.

than the required minimum value by the previously mentioned variations in voltage. However, this causes the reliability of scaled devices to degrade. Therefore, this circuit is not suitable for the low-voltage memory array with an NWL scheme.

### B. Hybrid Regulator

We have developed a hybrid regulator that consists of a charge-pump regulator and a series-pass regulator (Fig. 6). Both the word-line high voltage  $V_{CH}$  and low voltage  $V_{NN}$  are provided through the hybrid regulator. The ripple is suppressed by this series-pass regulator because it has a power-supply rejection ratio (PSRR) of more than 30 dB (at 0 ~ MHz) [3]. Also, the series-pass regulator can be placed near the word-line driver because of its small layout area. This sufficiently reduces the word-line voltage drop caused by the wiring resistance  $R_p$ , even if the charge-pump regulators are placed in a local chip site. Here, the outputs of the charge-pump regulators  $V_{PP}$  and  $V_{BB}$  are, respectively, connected with n-well and p-well in the memory-cell array. This reduces a smoothing capacitor size because the parasitic capacitance of n-well and p-well is more than 1000 pF in gigascale DRAM's. Thus, stabilizing  $V_{CH}$  and  $V_{NN}$  with this hybrid regulator will enhance the data-retention time and the reliability of future scaled-down devices.

Fig. 7 shows a simulated  $V_{NN}$  waveform for word-line switching and  $V_{BB}$  bouncing. The  $V_{NN}$  noise is less than 1 mV with respect to the 250-mV  $V_{DD}$  noise. Also, the word-line switching noise of the output is suppressed to as low as 30 mV because of the low output impedance of the proposed regulator. The average  $V_{NN}$  rising of the proposed regulator is about 3

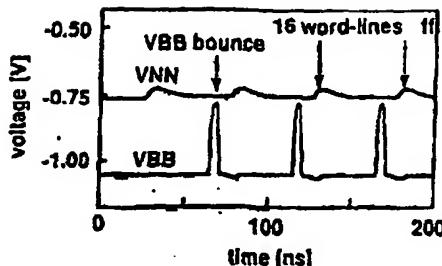
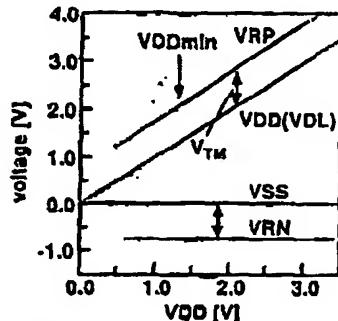
Fig. 7. Simulated  $V_{NN}$  waveform for word-line switching and  $V_{BB}$  bouncing.

Fig. 8. Reference-voltage requirements.

$mV$  at  $t_{RC} = 50$  ns. On the other hand, that of the conventional charge-pump regulator is 0.3 V, as mentioned previously. Therefore, the proposed method enables the leakage current of the memory-cell transistor to be reduced to 1/1000 compared with the conventional method.

### III. REFERENCE-VOLTAGE GENERATOR

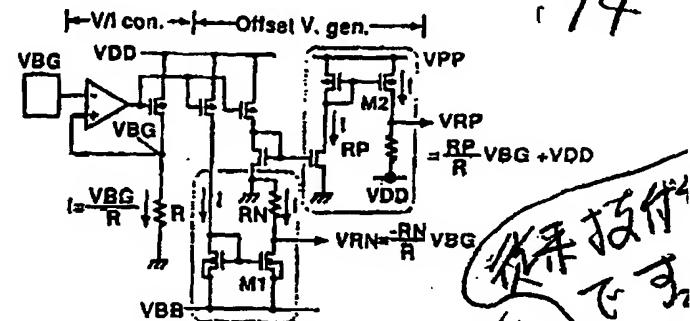
Fig. 8 shows what is required of a reference voltage generator for DRAM's with a negative word-line scheme. The negative reference voltage  $V_{RN}$  should be held constant with respect to  $V_{SS}$ , and the positive reference voltage  $V_{RP}$  should be kept higher than  $V_{DD}$  (or  $V_{DL}$ ) by the threshold voltage of the memory-cell transistor  $V_{TM}$ , which will be constant with respect to  $V_{DD}$ . Furthermore, the reference-voltage generator must operate at a sufficiently low  $V_{DD}$ . Since variations in  $V_{RN}$  and  $V_{RP}$  increase leakage current and degrade reliability in a memory-cell transistor, they must be highly accurate. In practice, the allowable variation is about  $\pm 100$  mV.

#### A. Offset Voltage Generator

Fig. 9 shows the reference-voltage generator. This circuit has two main features. One is the low-voltage-operation bandgap generator using a differential amplifier. The other is the offset voltage generator, which uses a current mirror circuit. The offset voltage generator ensures highly accurate output voltages and I/V conversion resistors with a small layout area. This circuit operates as follows.

The V/I converter converts the bandgap voltage  $V_{DC}$  to the reference current  $I$ , which is expressed as  $I_{DC}/R$ . The mirror current  $I$  in the resistor  $R_N$  flows from  $V_{SS}$  to  $V_{DD}$ . Therefore, the  $V_{RN}$  is expressed as

$$V_{RN} = -\frac{R_N}{R} I_{DC}. \quad (1)$$



## TANAKA et al.: ON-CHIP VOLTAGE GENERATOR FOR GIGASCALE DRAM

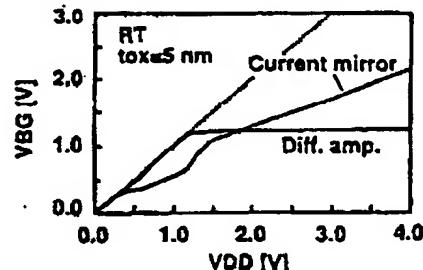


Fig. 10. Simulated dc characteristics of bandgap generators.

voltage. If  $V_{EB} = 0.6$  V,  $\delta = 0.2$  V, and  $V_T = 0.5$  V, then  $V_{EB} + 2\delta + V_T = 1.5$  V and  $V_{EB} + \delta - V_T = 0.3$  V. Here, the latter is smaller than the bandgap voltage  $V_{BG}$  (=1.26 V). Therefore, the  $V_{DD}$  min of the differential type is actually  $V_{BG}$ . The differential type thus minimizes the  $V_{DD}$  min.

The output voltage from the current-mirror type has a poor PSRR of 10 dB due to the drain conductance of the output pMOS and the output conductance of the thermal-voltage-referenced (TVR) current source [4], which is increased by the short channel effect in scaled devices. The PSRR of the differential type, however, is more than 30 dB because the drain conductance of the output pMOS is suppressed by the feedback loop. The PSRR's are expressed as

$$\text{PSRR(Diff. type)} = A_0 \cdot \frac{R_2}{R_1}, \quad A_0 = g_{mn} \cdot r_1 \cdot g_{mp} \cdot r_p \quad (3)$$

and

$$\text{PSRR(Curr. type)}$$

$$= \frac{1}{\frac{R_1}{R_1 + r_p} \cdot \left\{ 1 + \frac{1}{R_2} \cdot \left( \frac{1}{g_{mn}} + \frac{1}{g_{mp}} + \frac{r_p}{g_{mn} \cdot r_p} \right) \right\}} \quad (4)$$

where  $r_1$  ( $=r_p/r_n$ ) is the output resistance of the differential amplifier;  $A_0$  is the total gain of the differential type;  $r_p$  and  $r_n$ , respectively, are the drain resistance of the pMOS transistor and the nMOS transistor; and  $g_{mn}$ ,  $g_{mp}$ , and  $g_{mn}$ , respectively, are the transconductance of the bipolar transistor, the pMOS transistor, and the nMOS transistor. The first term of the denominator in (4) originates in the output stage; and the second term originates in the TVR current source stage. If  $R_1 = 1$  M $\Omega$ ,  $R_2 = 88$  k $\Omega$ ,  $r_p = 8$  M $\Omega$ ,  $r_n = 20$  M $\Omega$ ,  $g_{mn} = 40$   $\mu$ S,  $g_{mp} = 6$   $\mu$ S, and  $g_{mn} = 2.4$   $\mu$ S, then  $\text{PSRR(Diff. type)} = 58$  and  $\text{PSRR(Curr. type)} = 2.3$ . The PSRR of the differential type is therefore greater than that of the current-mirror type. The derivation of these equations is shown in the Appendix. Thus, in scaled DRAM's, the differential type is superior to the current-mirror type.

Fig. 10 shows the simulated dc characteristics of bandgap generators that use the devices in the 0.16- $\mu$ m process. It indicates that the differential amplifier configuration provides a constant bandgap voltage down to a  $V_{DD}$  of 1.3 V. The output of the current-mirror type, however, is strongly dependent on  $V_{DD}$  and does not work until  $V_{DD}$  equals 1.5 V. In low supply voltage, the differential type thus minimizes the error in the output voltage.

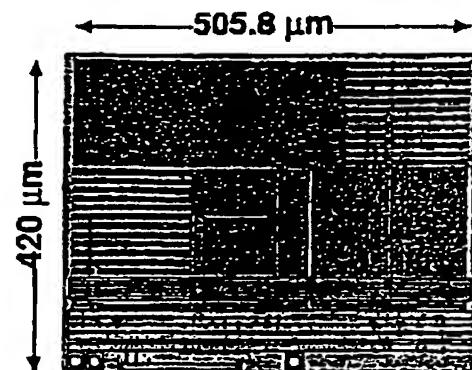


Fig. 11. Microphotograph of test circuit.

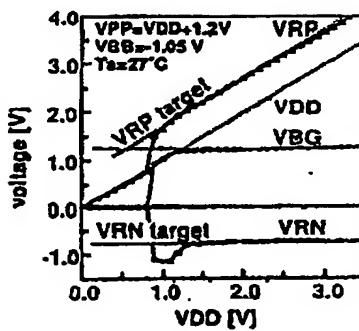


Fig. 12. Measured dc characteristics of word-line reference-voltage gen.

## IV. EXPERIMENTAL RESULTS

To verify the circuit performance of the reference-voltage generator, we designed a test device and fabricated it using 0.3- $\mu$ m DRAM process. Fig. 11 shows a microphotograph of the test circuit. The upper side is a resistor area, and the lower side is a circuit area. The resistors are made from an n-type diffusion layer. The circuit area includes MOS transistors and compensation capacitors for the bandgap generator and the V converter. The layout area was  $420 \times 505.8 \mu\text{m}^2$ .

Fig. 12 shows the measured dc characteristics of the bandgap generator. The bandgap voltage  $V_{BG}$  is confirmed to be constant when the  $V_{DD}$  is over 1.3 V. The offset voltages  $V_{RP}$  (up from  $V_{DD}$ ) and  $V_{RN}$  (down from  $V_{SS}$ ) are, as expected, also kept constant. The dc-voltage deviation from the ideal value is less than  $-100$  mV for  $V_{RP}$  and less than  $+50$  mV for  $V_{RN}$  from 1.3 to 3.5 V of the  $V_{DD}$  with  $0^\circ\text{C}$  trimmin. The current consumption is  $7 \mu\text{A}$  when  $V_{DD} = 3.5$  V. The temperature dependency of less than  $500$  ppm/ $^\circ\text{C}$  is provided by the simulation. These characteristics are sufficient for low-voltage operation of scaled DRAM's. The characteristics of the hybrid regulator and the reference-voltage generator are summarized in Table II.

## V. CONCLUSION

A precise on-chip voltage generator for a gigascale DRAM with a negative word-line structure was described. It features a hybrid voltage generator that provides a stabilized positive and negative boosted voltage. For word-line switching, this reduces

TABLE II  
CHARACTERISTICS OF REFERENCE-VOLTAGE  
GENERATOR AND HYBRID REGULATORS

Current Consumption	7 $\mu$ A (@VDD=3.5 V)
Output Voltage Error (1.3 V $\leq$ VDD $\leq$ 3.5 V, without Trimming)	$\Delta$ VRP < 100 mV $\Delta$ VRN < 50 mV
Temperature dependency	$\leq$ 500 ppm/ $^{\circ}$ C (Simulation)
Bouncing Noise	< 5 mV (0.25 V VBB bounce)
Switching Noise	< 30 mV (16 word-lines off)

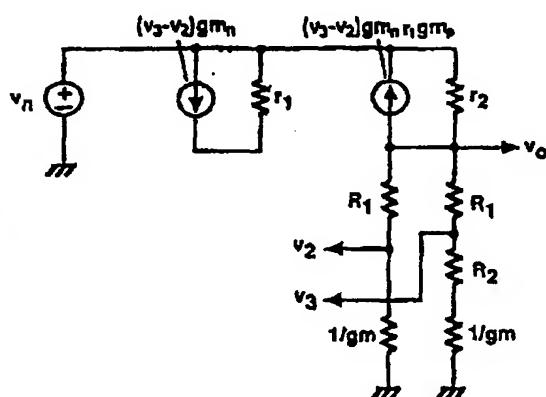


Fig. 13. Differential-amplifier-type small-signal equivalent circuit.

the word-line low-voltage noise to 30 mV. It also features an accurate positive and negative offset voltage generator. The dc-voltage error is less than 100 mV for the positive reference voltage and less than 50 mV for negative reference voltage over a wide range of the VDD without trimming. It also features a low-voltage bandgap voltage generator. This circuit can operate at a VDD of more than 1.3 V. These techniques therefore open the way toward producing low-voltage gigascale DRAM's.

## APPENDIX

Fig. 13 shows a simplified small-signal equivalent circuit of a bandgap generator with a differential amplifier. Here,  $v_n$  is a noise source of a VDD line.  $r_1$  is the output resistance of the differential amplifier.  $r_2$  is the drain resistance of the output pMOS transistor.  $gm_n$  and  $gm_{pn}$  are, respectively, the transconductance of the bipolar transistors and of the nMOS transistor. The nodal equations of this circuit are given by

$$(v_3 - v_2) \cdot gm_{pn} \cdot r_1 \cdot gmp + \frac{v_o - v_n}{r_2} + \frac{v_o - v_2}{R_1} + \frac{v_2 - v_3}{R_1} = 0 \quad (A-1)$$

$$\frac{v_o - v_2}{R_1} = v_2 \cdot gm \quad (A-2)$$

$$\frac{v_2 - v_3}{R_1} = \frac{v_3}{R_2 + 1/gm} \quad (A-3)$$

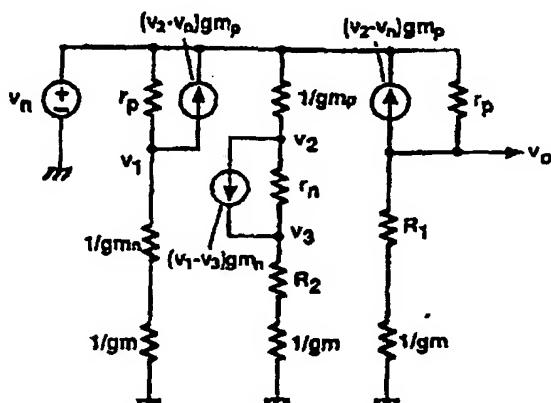


Fig. 14. Current-mirror-type small-signal equivalent circuit.

Solving (A-1)–(A-3) for  $v_o$  yields

$$v_o = \frac{v_n}{gm_n \cdot r_1 \cdot gmp \cdot r_2(x_3 - x_2) + 1 - \frac{r_2}{R_1}(2 - x_2 - x_3)} \quad (A-4)$$

where

$$x_2 = \frac{1}{gm \cdot R_1 + 1}, \quad x_3 = \frac{gm \cdot R_2 + 1}{gm \cdot (R_1 + R_2) + 1}.$$

If we assume that  $gm \cdot R_1$ ,  $gm_n \cdot r_1 \cdot gmp \cdot r_2 \gg 1$ ,  $R_1 \gg R_2$  and  $gm_n \cdot r_1 \cdot gmp \cdot r_2 \cdot R_2/R_1 \gg r_2/R_1$ , this equation is approximately

$$v_o = \frac{v_n}{A_0 \frac{R_2}{R_1}}, \quad A_0 = gm_n \cdot r_1 \cdot gmp \cdot r_2 \quad (A-5)$$

where  $A_0$  is the total gain of the differential type. The PSRR is expressed as  $v_n/v_o$ , so we should rewrite (A-5) as follows:

$$PSRR(\text{Diff. type}) = \frac{v_n}{v_o} = A_0 \frac{R_2}{R_1}. \quad (A-6)$$

Fig. 14 shows a small-signal equivalent circuit of a bandgap generator with a current-mirror circuit. Here, the transistor dimensions are identical.  $r_p$  and  $r_n$  are, respectively, the drain resistances of the pMOS transistor and of the nMOS transistor, and  $gmp$  and  $gm_n$  are, respectively, the transconductance of the pMOS transistor and of the nMOS transistor. The nodal equations of this circuit are given by

$$gmp \cdot (v_2 - v_n) + \frac{v_1 - v_n}{r_p} + \frac{v_1}{1/gmn + 1/gm} = 0 \quad (A-7)$$

$$gm_n \cdot (v_2 - v_n) + \frac{v_2 - v_3}{r_n} + gm_n \cdot (v_1 - v_3) = 0 \quad (A-8)$$

$$gm_n \cdot (v_1 - v_3) + \frac{v_2 - v_3}{r_n} - \frac{v_3}{R_2 + 1/gm} = 0 \quad (A-9)$$

$$gmp \cdot (v_2 - v_n) + \frac{v_o - v_n}{r_p} + \frac{v_o}{R_1 + 1/gm} = 0. \quad (A-10)$$

Solving (A-7)–(A-10) for  $v_o$  yields

$$v_o = \frac{n}{d} \cdot v_n \quad (A-11)$$

$$v_o = \frac{\left( Ry \cdot gmn + 1 + \frac{rp}{rn} \right) \cdot Rz \cdot v_n}{-Rx \cdot Rz \cdot gmn + Ry \cdot Rz \cdot gmn + (Rx \cdot gmn + Ry \cdot gmn + 1) \cdot rp + Rz \cdot gmn + R_2 \cdot gm \cdot gmn \cdot (R_1 \cdot gm + 1) + R_1 \cdot gm \cdot (gmn + gm + gm \cdot \frac{rp}{rn}) + gm \cdot (1 + gm \cdot \frac{rp}{rn})} \cdot v_n \quad (A-12)$$

$$v_o = \frac{R_1 \cdot R_2 \cdot gm^2 \cdot gmn + R_1 \cdot gm \cdot gmn \cdot (1 + \frac{rp}{rn}) + R_1 \cdot gm^2}{R_2 \cdot gm \cdot gmn \cdot (R_1 \cdot gm + rp \cdot gm)} \cdot v_n$$

$$= \frac{\left( R_2 \cdot gm \cdot gmn + gmn \cdot (1 + \frac{rp}{rn}) + gm \right) \cdot R_1}{R_2 \cdot gm \cdot gmn \cdot (R_1 + rp)} \cdot v_n$$

$$= \frac{R_1}{R_1 + rp} \cdot \left\{ 1 + \frac{1}{R_2} \cdot \left( \frac{1}{gm} + \frac{1}{gmn} + \frac{rp}{gm \cdot rn} \right) \right\} \cdot v_n \quad (A-13)$$

where

$$n = \{ Rx \cdot Ry \cdot gmp + (Ry \cdot gmn + 1) \cdot Rx \cdot gmp \\ \cdot rn + rp + (rn + Ry \cdot gmn \cdot rn + rp + Rx + Ry) \\ \cdot gmp \cdot rp + Rx \} \cdot Rx$$

$$d = (rn + Ry \cdot gmn \cdot rn + Ry) \cdot Rx \cdot Rz \cdot gmp \\ - \{ (-rn + Rx \cdot gmn \cdot rn - Ry \cdot gmn \cdot rn - Ry) \\ \cdot gmp - 1 \} \cdot rp^2 + (Rx \cdot Ry \cdot gmn - Rx \cdot Rz \cdot gmn \\ + Ry \cdot Rz \cdot gmn + Rx + Rz) \\ \cdot gmp \cdot rn \cdot rp + (Rx \cdot Ry \cdot gmp + Ry \cdot Rz \cdot gmp \\ + Rx + Rz) \cdot rp + Rx \cdot Rz$$

and

$$Rx = \frac{1}{gm} + \frac{1}{gmn}, \quad Ry = R_2 + \frac{1}{gmn}, \quad Rz = R_1 + \frac{1}{gm}.$$

If we assume that  $gmn \cdot rn, gmp \cdot rp \gg 1$  and  $R_1 \gg R_2$ , this equation is approximately that shown in (A-12) at the top of the page, where the relationships  $R_1 \cdot gm \cdot rp \cdot gm \gg 1$ , and  $R_1 \gg R_2$  result in (A-13), also shown at the top of the page. Therefore, the PSRR of the current-mirror type is given by

$$\text{PSRR (Curr. type)} = \frac{v_n}{v_o} = \frac{1}{\frac{R_1}{R_1 + rp} \cdot \left\{ 1 + \frac{1}{R_2} \cdot \left( \frac{1}{gm} + \frac{1}{gmn} + \frac{rp}{gm \cdot rn} \right) \right\}} \quad (A-14)$$

where the first term of the denominator originates in the output stage and the second term originates in the thermal-voltage-referenced current source stage.

#### ACKNOWLEDGMENT

The authors would like to thank H. Kawamoto, M. Matsumoto, S. Satoh, and O. Nagashima for their helpful suggestions and encouragement.

#### REFERENCES

- [1] T. Yamagata, S. Tomishima, M. Tsukude, T. Tsuruda, Y. Hashizume, and K. Arimoto, "Low voltage circuit design techniques for battery-operated and/or G scale DRAM's," *IEEE J. Solid-State Circuits*, 30, pp. 1183-1188, Nov. 1995.
- [2] T. Hamamoto, S. Sugiyama, and S. Sawada, "Well conception: A novel scaling limitation factor derived from DRAM retention time and its modeling," in *IEDM Dig. Tech. Papers*, Dec. 1995, pp. 915-918.
- [3] H. Tanaka, M. Aoki, J. Itoh, M. Horiguchi, K. Itoh, K. Kajigaya and T. Matsumoto, "Stabilization of voltage limiter circuit for high-density DRAM's using pole-zero compensation," *IEICE Trans. Electron.*, vol. E75-C, no. 11, pp. 1333-1343, Nov. 1992.
- [4] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2nd ed. New York: Wiley, chs. 4 and 12.
- [5] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. New York: Holt, Rinehart and Winston, 1987, ch. 11.
- [6] H. Tanaka, M. Aoki, T. Sakata, S. Kimura, N. S. Kashita, H. Hidaka, T. Tachibana, and K. Kimura, "A precise on-chip voltage generator for a giga-scale DRAM with a negative word-line scheme," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1998, pp. 94-95.



Hitoshi Tanaka (M'98) was born in Ishikawa, Japan, on February 7, 1956. He received the B.S. and M.S. degrees in electronic engineering from Fukui University, Fukui, Japan, in 1978 and 1980, respectively.

In 1980, he joined the Hitachi ULSI Systems Co. Ltd., Tokyo, Japan. Since then he has been engaged in the development of DRAM.

Mr. Tanaka is a member of the Institute of Electronics, Information and Communication Engineers of Japan.



Masakazu Aoki (M'76) received the B.S. degree in applied physics and the Ph.D. degree in electronic engineering from Tokyo University, Tokyo, Japan, in 1971 and 1992, respectively, and the M.S. degree in electrical engineering from the University of Michigan, Ann Arbor, in 1982.

Since joining the Central Research Laboratory, Hitachi Ltd., Tokyo, Japan, in 1971, he has been engaged in work on linear and area image sensors as well as high-density CMOS DRAM's. Currently, he is working on integration of logic and memory devices for system LSI's with the Semiconductor and Integrated Circuits Group, Hitachi, Ltd., Tokyo.

Dr. Aoki is a member of the Institute of Electronics, Information, and Communication Engineers of Japan.